(19) Japanese Patent Office (JP)
(12) Publication of Laid-Open Patent Application (A)
(11) Publication Number of Patent Application:
Japanese Patent Laid-Open Publication No. 5-251702
(43) Date of Publication Application:
September 28, 1993
(51) Int. Cl.^{5}: H 01 L 29/784, G 02 F 1/133, 1/136
Identification Symbol: 550 7820-2K, 500 9018-2K, 9056-4M, 9056-4M
FI: H 01 L 29/78, 311 G, 311 A
Request for Examination: Not requested
Number of Claims: 3
Total 11 pages
Continued to the last page
(21) Application Number:
Japanese Patent Application No. 4-48897
(22) Date of Filing: March 5, 1992
(71) Applicant: 000005223
Fujitsu Limited
1015 Kamikodanaka, Nakahara-ku, Kawasaki-shi, Kanagawa
(72) Inventor: Tatsuya KAKEI
c/o Fujitsu Limited
1015 Kamikodanaka, Nakahara-ku, Kawasaki-shi, Kanagawa
(72) Inventor: Kenichi YANAI
c/o Fujitsu Limited
1015 Kamikodanaka, Nakahara-ku, Kawasaki-shi, Kanagawa
(72) Inventor: Tsutomu TANAKA
c/o Fujitsu Limited
1015 Kamikodanaka, Nakahara-ku, Kawasaki-shi, Kanagawa
(74) Representative: Patent Attorney Tadahiko Ito (and two others)
Continued to the last page

(54) [Title of the Invention]

Thin film transistor and liquid crystal display device using the same

(57) [Abstract]

[Purpose] The invention relates to a thin film transistor which is switchable in operating polarity and a liquid crystal drive circuit using it, and the object is to provide a thin film transistor with little limitation in use and wide application, and a liquid crystal

drive circuit using it.

[Constitution] A main gate electrode 21 is formed almost in the central part of a polysilicon layer 20, with an insulating layer 22 interposed therebetween. Furthermore, a sub-gate electrode 23a is formed via insulating layers 22 and 24 between a source electrode 16 of the polysilicon layer 20 and the main gate electrode 21, and a sub-gate electrode 23b is formed via the insulating layers 22 and 24 between a drain electrode 17 and the main gate electrode 21.

[Scope of Claims]

[Claim 1] A thin film transistor which applies an electric field to a semiconductor layer (10) from a main gate electrode (11) and controls an electric current flowing between a source electrode (12) provided on one end of the semiconductor layer (10) and a drain electrode (13) provided on the other end of the semiconductor layer (10) in accordance with the electric field, comprising;

a first sub-gate electrode (14a) provided between the main gate electrode (11) and the source electrode (12), which applies an electric field to the semiconductor layer (10) and switches the conductive polarity of the semiconductor layer (10); and

a second sub-gate electrode (14b) provided between the main gate electrode (11) and the drain electrode (13), which applies an electric field to the semiconductor layer (10) and switches the conductive polarity of the semiconductor layer (10) so as to be the same polarity as the first sub-gate electrode (14a).

[Claim 2] A liquid crystal display device with liquid crystal (32) sandwiched by a transparent electrode and a plurality of pixel electrodes (27-n) corresponding to each of a plurality of switching elements (Trn), which switching-controls the switching element (Trn) by supplying a pulse signal to the switching element (Trn) from driving means (33, 34), and changes the condition of the liquid crystal (32) by changing the electric potential of the plurality of pixel electrodes (27-n), so that the display control is performed for each of the pixel electrodes (27-n), wherein;

the switching element (Trn) is structured by the thin film transistor described in Claim 1; and

a main gate electrode (21) of the thin film transistor (Trn) and the pixel electrodes (27-n) are formed on the same substrate (26), with the same material, and by the same process.

[Claim 3] A liquid crystal display device with liquid crystal sandwiched by a transparent electrode (30) and a plurality of pixel electrodes (27-n) corresponding to each of a plurality of switching elements (Trn), which switching-controls the switching element (Trn) by supplying a pulse signal to the switching element (Trn) from driving means (33, 34), and changes the condition of the liquid crystal (32) by changing the electric potential of the plurality of pixel electrodes (27-n), so that the display control is performed, wherein;

the switching element (Trn) is structured by the thin film transistor described in Claim 1; and

the driving means (33, 34) which sequentially supply a pulse signal whose duty ratio is set equal to 50% and whose pulse width is set equal to the scanning time for one frame to a main gate electrode (21) of a thin film transistor with the difference of on time of each transistor, and sequentially supply the pulse signal which is late by the on time of each transistor to a first and a second sub-gate electrodes (23a, 23b) of the thin film transistor (Trn) with the difference of on time of each transistor.

[Detailed Description of the Invention]

[0001]

[Industrial Field of the Invention] The present invention relates to a thin film transistor and a liquid crystal drive circuit using it, especially a thin film transistor switchable in operating polarity and a liquid crystal display device using it. Recently, a thin film transistor has been attracting attention as a driving element for liquid crystal and the like.

[0002] Some thin film transistors can be used switching the operating polarity.

[0003] As for this kind of thin film transistors, there is a condition for the drain voltage, and the usable range is limited, which makes it difficult to use them for liquid crystal and the like.

[0004] Therefore, a thin film transistor with little limitation in use, which can be used for liquid crystal and the like, and which is switchable in operating polarity is needed.

[0005]

[Prior Art] Fig. 14 is a cross-sectional view of an example of a conventional thin film transistor, Fig. 15 is a schematic block diagram of a conventional example, and Fig. 16 is an equivalent circuit of a conventional example. In the figure, numeral 1 shows a main gate electrode, 2 a sub-gate electrode, 3 a polysilicon layer, 4 a source polysilicon layer, 5 a drain polysilicon layer, 6 a source electrode, 7 a drain electrode, and 8 an insulating substrate.

[0006] The main gate electrode 1 is an electrode to control a current flowing between a source and a drain. When a voltage is applied to the main gate electrode 1, an electric charge to be a carrier is induced to the polysilicon layer 3, by static induction. By the electric charge induced to the polysilicon layer 3, a current flows between the source and the drain.

[0007] The sub-gate electrode 2 is an electrode to switch the operation mode (P channel, N channel) of the transistor. By applying a voltage to the sub-gate electrode 2, an electric charge is induced to a part of the polysilicon layer 3. When the transistor is on, the polarity of the electric charge induced to the polysilicon layer 3 by the main gate electrode 1 and the polarity of the electric charge induced by the sub-gate electrode 2 correspond to each other. In addition, when the transistor is off, the polarity of the electric charge induced to the polysilicon layer 3 by the main gate electrode 1 and the polarity of the electric charge induced by the sub-gate electrode 2 are opposite to each other, then a PN junction is formed, and it is reverse polarity to the polarity of the voltage between the source and the drain, so that a leakage current doesn't occur.

[0008] Fig. 17 shows a diagram to describe the operation of a conventional example. Referring to Fig. 17, the basic operation will be described.

[0009] Here, the source electrode 6 is grounded, the voltage of the main gate electrode 1 is Vg, the voltage of the sub-gate electrode 2 is Vs, and the voltage of the drain electrode 7 is Vd.

[0010] When the N channel operation is to be performed, the voltage Vs of the sub-gate electrode 2 and the voltage Vd of the drain electrode 7 are set to be positive voltage. When the voltage Vs of the sub-gate electrode 2 is positive voltage, an n layer 3a-1 is formed in the part of the polysilicon layer 3 under the sub-gate electrode 2, by the sub-gate electrode 2.

[0011] When the voltage Vg of the main gate electrode 1 is negative voltage under this condition, a P layer 3b-1 is formed in the part of the polysilicon layer 3 under the main gate electrode 1, as shown in Fig. 17 (A). Therefore, a PN junction is formed in the polysilicon layer 3. As for this PN junction, since the sub-gate electrode 2 is provided on the side of the drain electrode 7 and the main gate electrode 1 is provided on the side of the source electrode 6, the n layer 3a-1 is formed on the side of the drain electrode 7 and the P layer 3b-1 is formed on the side of the source electrode 6 in the polysilicon layer 3.

[0012] In consequence, the junction is opposite direction to the direction from the drain electrode 7 to the source electrode 6, and the transistor becomes off state.

[0013] Next, when the voltage Vg of the main gate electrode 1 is made to be positive voltage, an n layer 3b-2 is formed in the part of the polysilicon layer underneath, as shown in Fig. 17 (B).

[0014] Consequently, n layers 3a-1 and 3b-2 with the same polarity are formed in the polysilicon layer 3 and have conductivity, so that a current flows from the drain electrode 7 toward the source electrode 6.

[0015] When the P channel operation is to be performed, the voltage Vs of the sub-gate electrode 2 and the voltage Vd of the drain electrode 7 are set to be negative voltage.

[0016] When the voltage Vs of the sub-gate electrode 2 is negative voltage, a P layer 3a-2 is formed in the part of the polysilicon layer 3 under the sub-gate electrode, by the sub-gate electrode 2.

[0017] When the voltage Vg of the main gate electrode 1 is made to be positive voltage under this condition, an n layer 3b-3 is formed in the part of the polysilicon layer 3 under the main gate electrode 1, as shown in Fig. 17 (C).

[0018] Consequently, a PN junction for which the direction from the source electrode 6 to the drain electrode 7 is opposite direction is formed in the polysilicon layer 3, and a current from the source electrode 6 to the drain electrode 7 doesn't flow. That is, the transistor becomes off state.

[0019] Next, when the voltage Vg of the main gate electrode 1 is set to be negative voltage, a P layer 3b-4 is formed in the part of the polisilicon layer 3 under the main gate electrode 1, as shown in Fig. 17 (D).

[0020] Consequently, P layers 3b-4 and 3a-2 with the same polarity are formed in the polysilicon layer 3, and have conductivity, so that a current flows from the source electrode 6 toward the drain electrode 7. That is, the transistor becomes on state.

[0021]

[Problem to be Solved by the Invention] In this way, with a conventional thin film transistor of this kind, it is necessary to care about the polarity of the voltage Vd of the drain electrode, to operate the transistor.

[0022] For example, in the case of performing the n channel operation of the conventional thin film transistor as shown in Figs. 17 (A) and (B), the voltage Vd of the drain electrode 7 should be made to be positive voltage. Contrary, in the case of performing the P channel operation as shown in Figs. 17 (C) and (D), the voltage Vd of the drain electrode 7 should be made to be negative voltage. Otherwise, the PN junction formed in the polysilicon layer 3 at the time of on becomes forward direction, and a current flows even at the time of off.

[0023] Therefore, in the case where the present transistor is applied to a liquid crystal drive circuit and used as a switching element for when a voltage is applied to liquid crystal for which alternating operation is performed, the drain electrode 7 becomes positive and negative either, and such transistor cannot be applied, which is a problem.

[0024] The present invention is made in view of the above, and the object is to provide a thin film transistor which can be applied widely as a switching element or the like of a device for alternating operation of liquid crystal or the like, and provide a liquid crystal drive circuit using it.

[0025]

[Means for Solving the Problem] Fig. 1 shows a principle block diagram of the present invention. In the figure, numeral 11 shows a main gate electrode.

[0026] The main gate electrode 11 applies an electric field to a semiconductor thin film 10. The semiconductor thin film 10 controls a current flowing between a source electrode 12 provided on one end and a drain electrode 13 provided on the other end of the semiconductor thin film 10, depending on the electric field applied.

[0027] A first sub-gate electrode 14a is provided between the main gate electrode 11 and the source electrode, and applies an electric field to the semiconductor thin film 10 so that the conductive polarity is switched.

[0028] A second sub-gate electrode 14b is provided between the main gate electrode 11 and the drain electrode 13, and applies an electric field to the semiconductor thin film 10 so that the conductive polarity is switched to be the same polarity as the first sub-gate electrode 14a.

[0029]

[Function] Fig. 2 is a principle explanatory diagram of the present invention, and Fig. 3 is an equivalent circuit diagram of the present invention.

[0030] Fig. 2 (A) shows the case of the N channel operation and off state, and the voltage Vg which is applied to the main gate electrode is set to be negative, and the first and the second sub-gate electrodes Vs are set to be positive. At this time, an NPN junction is formed in the semiconductor thin film, and an opposite junction of a PN diode exists, seeing from either the drain electrode side or the source electrode side, therefore, independently of the polarity of the voltage between the drain and the source, it becomes off state. Furthermore, Fig. 2 (B) shows the case of the P channel operation, off state. When the voltage Vg of the main gate electrode is set to be positive and the voltage of the first and the second sub-gate electrodes is set to be negative voltage, a PNP junction is formed in the semiconductor thin film, and an opposite junction exists, seeing from both the drain electrode side and the source electrode side, therefore, independently of the polarity of the voltage between the drain and the source, it becomes off state. In the case of making this transistor to be on, with the N channel operation of Fig. 2 (A), when the voltage Vg of the main gate electrode is changed from negative to positive, any part of the semiconductor thin film becomes an N layer, and it becomes on state. With the P channel operation of Fig. 2 (B), when the voltage Vg of the main gate electrode is changed from positive to negative, any part of the semiconductor thin film becomes a P layer, and it becomes on state. In this way, the operation of P channel and N channel either can be performed, independently of the polarity of the voltage between the source and the drain.

[0031] Fig. 3 is an equivalent circuit diagram of the present invention. A gate capacity C4 between a main gate electrode and a semiconductor layer is sandwiched by gate capacities C3 and C5 between sub-gate electrodes and the semiconductor layer. As this, the gate capacity C4 is not connected to a drain electrode or a source electrode directly, and there are channel resistances R therebetween. By this, noise due to capacity coupling of the time of pulse change of the main gate electrode can be reduced.

[0032]

[Embodiment] Fig. 4 is a block diagram of an embodiment of the present invention. In the figure, numeral 15 shows an insulating substrate. The insulating substrate 15 is made of an insulator such as glass, and a thin film transistor is formed on the insulating substrate 15.

[0033] Numeral 16 is a source electrode, and it is made by depositing a conductive material such as aluminum on the insulating substrate 15. Numeral 17 is a drain electrode, and it is made by depositing a conductive material such as aluminum on the insulating substrate 15, in the same way as the source electrode 16.

[0034] Numeral 18 shows a source polysilicon layer. The source polysilicon layer 18 is made by laminating a phosphorus (P) doped polysilicon layer 18a which forms N type semiconductor and a boron (B) doped polysilicon layer 18b which forms P type semiconductor, and is connected to the source electrode 16.

[0035] Numeral 19 shows a drain polysilicon layer. It has the same structure as the source polysilicon layer 18, and made by laminating a phosphorus (P) doped polysilicon layer 19a which forms N type semiconductor and a boron (B) doped polysilicon layer 19b which forms P type semiconductor, and is connected to the drain electrode 17.

[0036] Numeral 20 shows a polysilicon layer. The polysilicon layer 20 corresponds to the semiconductor layer 10 shown in Fig. 1, and it is a thin film of intrinsic semiconductor formed by growing an amorphous silicon layer formed by LPCVD (low pressure CVD) to solid phase crystal. The polysilicon layer 20 is connected to the source polysilicon layer 18 and the drain polysilicon layer 19.

[0037] Numeral 21 shows a main gate electrode. The main gate electrode 21 is made of phosphorus (P) doped polysilicon, and it is formed almost in the central part of the polysilicon layer 20, via an insulating layer 22 which is formed of silicon oxide (SiO_2) or the like.

[0038] The symbol 23a shows a sub-gate electrode which corresponds to the first sub-gate electrode 14a in Fig. 1, and 23b shows a sub-gate electrode which corresponds to the second sub-gate electrode 14b in Fig. 1. The sub-gate electrodes 23a and 23b are made of conductive material such as aluminum.

[0039] The sub-gate electrode 23a is disposed over the polysilicon layer 20 between the source electrode 16 and the main gate electrode 21, via insulating layers 22 and 24 made of silicon oxide (SiO_2) or the like. Furthermore, the sub-gate electrode 23b is disposed over the polysilicon layer 20 between the drain electrode 17 and the main gate electrode 21, via the insulating layers 22 and 24.

[0040] The sub-gate electrode 23a and the sub-gate electrode 23b are usually connected to each other, and the same voltage is applied. As well, a voltage may be applied to the sub-gate electrode 23a and the sub-gate electrode 23b electrically independently.

[0041] A plurality of contact parts 25 are formed on the source electrode 16, the drain electrode 17 and the main gate electrode21 respectively, and wiring with the outside is made by the contact parts 25.

[0042] Fig. 5 and Fig. 6 are diagrams to describe the operation of the embodiment of the present invention, and Fig. 7 shows a characteristic diagram of the embodiment of the present invention.

[0043] Figs. 5 (A) and (B) are equivalent circuit diagrams of the case of the N channel operation, and the voltage Vs = + 20 [V] is applied to the sub-gate electrodes 23a and 23b.

[0044] In addition, in Fig. 5 (A), the voltage Vd = + 10 [V] is applied to the drain electrode 17.

[0045] Under the condition shown in Fig. 5 (A), when the voltage Vg of the main gate electrode 21 is changed, n layers 26a and 26b are formed in the polysilicon layer 20 under the sub-gate electrodes 23a and 23b, as shown in Fig. 6 (A).

[0046] In addition, according to the voltage Vg, an n layer or a p layer is formed in a region 27 in the polysilicon layer 20 under the main gate electrode 21.

[0047] When the voltage Vg is positive, an n layer is formed in the region 27 in the polysilicon layer 20 under the main gate electrode 21. Therefore, all the polysilicon layer 20 is connected by the n-layers, and a current flows from the drain electrode 17 to the source electrode 16, which makes an on state.

[0048] Furthermore, when the voltage Vg is negative, a p layer is formed in the region 27 in the polysilicon layer 20 under the main gate electrode 21, and a npn junction is formed in the polysilicon layer 20. In consequence, a PN reverse junction is generated between the drain electrode 17 and the source electrode 16, and a current is cut off, which makes an off state. The characteristic of the drain current Id to the voltage Vg at this time is shown in full line in Fig. 7 (A).

[0049] In Fig. 5 (B), the voltage Vd = – 10 [V] is applied to the drain electrode 17.

[0050] Under the condition shown in Fig. 5 (B), when the voltage Vg of the main gate electrode 21 is changed, the polysilicon layer 21 is connected by n layers in the case where the voltage Vg is positive, making an on state, and a current flows from the source electrode 16 to the drain electrode 17. When the voltage Vg becomes negative, the polysilicon layer 20 forms an NPN junction, and it becomes off. In this way, even when the voltage Vd of the drain electrode 21 is reversed, a PN reverse junction is formed in the same way as the case where the voltage Vd is positive, and the transistor surely becomes off. The characteristic of the drain current Id to the voltage Vg at this time is shown in dotted line in Fig. 7 (A).

[0051] Figs. 5 (C) and (D) are equivalent circuit diagrams of the case of the P channel operation, and the voltage Vs = –20 [V] is applied to the sub-gate electrodes 23a and 23b.

[0052] In Fig. 5 (C), the voltage Vd = +10 [V] is applied to the drain electrode 17.

[0053] In consequence, as shown in Fig. 6 (B), p layers 28a and 28b are formed in the parts of the polysilicon layer 20 under the sub-gate electrodes 23a and 23b, and a p or n layer is formed in the region 27 under the main gate electrode 21, according to the voltage Vg applied to the main gate electrode 21.

[0054] When the voltage Vg is positive, an n layer is formed in the region 27 of the polysilicon layer 20 under the main gate electrode 21, and a pnp junction is formed in the polysilicon layer 20. In consequence, a PNP reverse junction is generated between the drain electrode 17 and the source electrode 16, and a current is cut off, which makes an off state.

[0055] Furthermore, when the voltage Vg is negative, an p layer is formed in the region 27 of the polysilicon layer 20 under the main gate electrode 21, and a p layer is formed across the whole region of the polysilicon layer 20, which makes the polysilicon layer 20 conductive state. Therefore, a current flows from the drain electrode 17 to the source electrode 16. That is, it becomes on state. The characteristic of the current Id to the voltage Vg at this time is shown in full line in Fig. 7 (B).

[0056] Next, as shown in Fig. 5 (D), the voltage Vd = –10 [V] is applied to the drain electrode 17.

[0057] Under the condition shown in Fig. 5 (D), when the voltage Vg applied to the main gate electrode 21 is changed, in the case where the voltage Vg is negative, a p layer is formed in the region 27 of the polysilicon layer 20 under the main gate electrode

21, as described above. Therefore, the whole polysilicon layer 20 is connected with the p layers and becomes conductive state, then a current flows from the source electrode 16 to the drain electrode 17. That is, it becomes on state.

[0058] Furthermore, in the case where the voltage Vg is positive, an n layer is formed in the region 27 of the polysilicon layer 20 under the main gate electrode 21, and a PNP junction is formed in the polysilicon layer 20.

[0059] In consequence, a PN reverse junction is formed from the source electrode 16 toward the drain electrode 17, and a current is cut off, which makes an off state. The characteristic of the current Id to the voltage Vg at this time is shown in dotted line in Fig. 7 (B).

[0060] In this way, in either case of the N channel or P channel operation, when the voltage Vg which makes an off state is applied to the main gate electrode 21, the PNP or NPN junction is formed in the polysilicon layer 20. Therefore, the PN reverse junction can be formed for the either direction of from the drain electrode 17 to the source electrode 16 or from the source electrode 16 to the drain electrode 17.

[0061] In consequence, at the time of off, a current can be cut off surely, that is, it can become off, independently of the voltage condition of the drain electrode 17.

[0062] Fig. 8 shows a block diagram of a liquid crystal display device of the present invention. In the figure, Trn shows a thin film transistor. A plurality of thin film transistors Trn are formed on a glass substrate 26, with pixel electrodes 27n, a drain bus 28 and a gate bus 29.

[0063] Opposing to the thin film transistor Trn formation surface of the glass substrate 26, a glass plate 31 on which a transparent electrode 30 is formed is placed.

[0064] Liquid crystal 32 is placed between the glass plate 31 and the glass substrate 26, and the condition of the liquid crystal 32 is changed by applying a voltage between the transparent electrode 30 and the pixel electrodes 27-n, so that display is performed.

[0065] At this time, the electric potential of the pixel electrodes 27-n is changed by switching-controlling the thin film transistors Trn, so that the control of the display is performed.

[0066] Fig. 9 shows a block diagram of the substantial part of the liquid crystal display device of the present invention. In the figure, the parts having the same structures as Fig. 4 are indicated by the same symbols, and the explanation is omitted.

[0067] In the present embodiment, the source electrode 17 is the pixel electrode 27-n, and the main gate electrode is formed with ITO (Indium-Tin-Oxide) which is used for the pixel electrode 27-n by the same process. Therefore, the process of phosphorus doped polysilicon when forming the main gate electrode 21 can be omitted.

[0068] Fig. 10 shows an equivalent circuit diagram of the liquid crystal display device of the present invention.

[0069] The driving waveform and equivalent circuit for three lines are shown. The explanation of a thin film transistor Tr 2 will be made. A driving pulse c as a driving means is added to the main gate electrode 21 of the thin film transistor Tr 2, and a driving pulse d is added to the sub-gate electrodes 23a and 23b. The thin film transistor Trn becomes on state when the main gate electrode 21 and the sub-gate electrodes 23a and 23b are both positive (high level) or both negative (low level). Therefore, the thin film transistor Tr 2 becomes on at the timing d_2 shown in Fig. 11. Then, as for thin film transistors Tr 1 and Tr 3, they are driven by driving pulses a-f shown in Fig. 11, and the timing of becoming on state differs as shown by d_1 and d_3. With the present driving system, since the thin film transistor Trn can be sequentially switching-controlled by the pulse signals a-f supplied to the main gate electrode 21 and the sub-gate electrodes 23a and 23b, any of the driving pulses a-f is a pulse whose time of the high level voltage (positive) and the time of the low level voltage (negative) are absolutely equivalent, and is a pulse staggered by the on time d_1 of the thin film transistor Trn. As for a thin film transistor, moment-to-moment change occurs under the condition where only positive or only negative voltage is applied, which causes problems in reliability. So, by applying positive and negative voltage both, in the same way as the present driving system, improvements can be expected. In addition, by staggering them by the on time d_1, the time of the high level or low level of the driving pulse can be structured by approximately 10 ms to 20 ms which is equivalent to one frame time. Since the usual driving pulse has the order of the pulse width several dozen μs, only much longer pulses in terms of time compared to this may be prepared.

[0070] Fig. 12 shows an equivalent circuit diagram of another embodiment of the liquid crystal display device of the present invention. The rough structure is the same as the one described in Fig. 8, so the explanation is omitted here. In the figure, Tr 4 to Tr 7 are thin film transistors, and they have the same structure as the thin film transistor described in Fig. 9, so the explanation is omitted.

[0071] It has a structure in which a main gate electrode 21 of the thin film transistor Tr 4 and sub-gate electrodes 23a and 23b of the thin film transistor Tr 5 are connected, and in the same way as this, hereinafter the main gate electrode 21 and the sub-gate electrodes 23a and 23b which are next to each other are connected. Because of this, as for the driving pulse, one pulse is needed per one pixel. It is structured so that the number of pulses needed is the same as the case where a usual thin film transistor with one main gate is used. As for the timing when each transistor Trn becomes on, at An, the driving pulses g and h are both high level, so the thin film transistor Tr 4 becomes on state, and the data of the drain electrode 17 is supplied to the pixel electrode 27-a. At this time, since the sub-gate electrodes 23a and 23b and the main gate electrode 21 are high level, the thin film transistor Tr 4 is in an on state of the N channel mode. At the timing of Ap, since the driving pulses g and h are both low level, the thin film transistor Tr 4 also becomes on. At this time, the sub-gate electrodes 23a and 23b and the main gate electrode 21 are low level, so it is in an on state of the P channel mode. In this way, for each transistor, when the voltages of the main gate electrode 21 and the sub-gate electrodes 23a and 23b both are high level or low level, the transistor becomes on. As shown by the timing d-1 to d-3 in Fig. 13, as the transistor becoming on state changes over sequentially, the operation mode of each transistor switches between the N channel mode and the P channel mode alternately.

[0072] For example, in the case of the transistor Tr 4: An (N channel) → Ap (P channel) → An (N channel) → ... In the case of the transistor Tr 5: Bp (P channel mode) → Bn (N channel) → Bp (P channel) →...

[0073] In the present embodiment, by applying such structure, deterioration in picture quality due to the difference in characteristics caused when the characteristics of the P channel mode and the characteristics of the N channel mode of the thin film transistor are not symmetry can be avoided. That is, the difference in picture quality due to the characteristic difference between the N channel mode and the P channel mode in the case where the data is written to the all lines in the N channel mode and then the data is written as well in the P channel mode next is aimed to be unnoticeable for people's eyes, by shortening in terms of time. In addition, each driving pulse has the timing which is late by half cycle + address time to the pulse of the prior line (for example, in the case of the driving pulse h, to the driving pulse g).

[0074]

[Effect of the Invention] As described above, according to the present invention, the sub-gate electrode is provided on each side part of the main gate electrode, so the operation polarity of the transistor can be switched by switching positive and negative of the voltage applied to the sub-gate electrode. In addition, when the transistor is off, a PN junction in reverse direction is generated in the semiconductor layer, and the thin film transistor with small amount of leakage current when it is off can be realized, independently of the polarity of the drain voltage. Furthermore, by using the thin film transistor as this, the switching control can be performed at the both levels of positive (H) and negative (L) of the driving pulse signal. Therefore, the driving pulse signal waveform can be simple, and the drive circuit can be simplified, etc.

[Brief Description of the Drawings]

Fig. 1 is a principle block diagram of a thin film transistor of the present invention.

Fig. 2 is a principle explanatory diagram of a thin film transistor of the present invention.

Fig. 3 is an equivalent circuit diagram of a thin film transistor of the present invention.

Fig. 4 is a block diagram of an embodiment of the present invention.

Fig. 5 is a diagram to describe an operation of an embodiment of the present invention.

Fig. 6 is a diagram to describe an operation of an embodiment of the present invention.

Fig. 7 is a characteristic diagram of an embodiment of a thin film transistor of the present invention.

Fig. 8 is a block diagram of an embodiment of a liquid crystal display device of the present invention.

Fig. 9 is a block diagram of a substantial part of an embodiment of a liquid crystal display device of the present invention.

Fig. 10 is an equivalent circuit diagram of an embodiment of a liquid crystal display device of the present invention.

Fig. 11 is a diagram to describe an operation of an embodiment of a liquid crystal display device of the present invention.

Fig. 12 is an equivalent circuit diagram of another embodiment of a liquid crystal display device of the present invention.

Fig. 13 is a diagram to describe an operation of another embodiment of a liquid crystal display device of the present invention.

Fig. 14 is a cross-sectional view of a conventional example.

Fig. 15 is a block diagram of a conventional example.

Fig. 16 is an equivalent circuit diagram of a conventional example.

Fig. 17 is a diagram to describe the operation of a conventional example.

[Description of Symbols]

10: semiconductor layer
11: main gate electrode
12: source electrode
13: drain electrode
14a: first sub-gate electrode

14b: second sub-gate electrode

Continued from the front page

(51) Int. Cl.^{5}: G 09 F 9/30, G 09 G 3/36
Identification Symbol: 338
JPO File Number: 6447-5G, 7319-5G
FI
Technical Indication Place
(72) Inventor: Hiroshi OGATA
c/o Fujitsu Limited
1015 Kamikodanaka, Nakahara-ku, Kawasaki-shi, Kanagawa
(72) Inventor: Kenichi OKI
c/o Fujitsu Limited
1015 Kamikodanaka, Nakahara-ku, Kawasaki-shi, Kanagawa

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（A）　(11)特許出願公開番号

特開平5－251702

(43)公開日　平成５年(1993)９月28日

(51)Int.Cl.^{5}	識別記号	庁内整理番号	F I		
H01L 29/784					
G02F 1/133	550	7820-2K			
1/136	500	9018-2K			
		9056-4M	H01L 29/78	311	G
		9056-4M		311	A

審査請求　未請求　請求項の数３　（全11頁）　最終頁に続く

(21)出願番号　特願平4－48897

(22)出願日　平成４年(1992)３月５日

(71)出願人　000005223
富士通株式会社
神奈川県川崎市中原区上小田中1015番地

(72)発明者　簑　達也
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者　▲やな▼井　健一
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者　田中　勉
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74)代理人　弁理士　伊東　忠彦　（外２名）

最終頁に続く

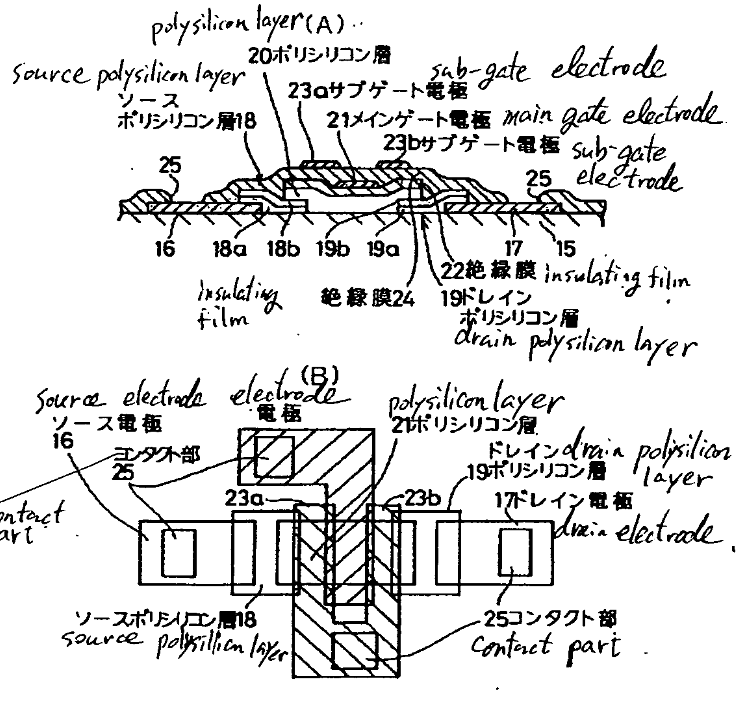
(54)【発明の名称】薄膜トランジスタ及びそれを用いた液晶表示装置

(57)【要約】

【目的】　動作極性が切換えられる薄膜トランジスタ及びそれを用いた液晶駆動回路に関し、使用制限が少なく、適用範囲の広い薄膜トランジスタ及びそれを用いた液晶駆動回路を提供することを目的とする。

【構成】　ポリシリコン層２０の略中央部に絶縁層２２を介してメインゲート電極２１を形成し、さらに、ポリシリコン層２０のソース電極１６とメインゲート電極２１との間に絶縁層２２，２４を介してサブゲート電極２３ａを形成すると共にドレイン電極１７とメインゲート電極２１との間に絶縁層２２，２４を介してサブゲート電極２３ｂを形成する。

本発明の一実施例の構成図



【特許請求の範囲】

【請求項１】　半導体層（１０）にメインゲート電極（１１）より電界を印加し、該電界に応じて該半導体層（１０）の一端に設けられたソース電極（１２）と該半導体層（１０）の他端に設けられたドレイン電極（１３）との間に流れる電流を制御する薄膜トランジスタにおいて、

前記メインゲート電極（１１）と前記ソース電極（１２）との間に設けられ、前記半導体層（１０）に電界を印加し、前記半導体層（１０）の導電極性を切り換える第１のサブゲート電極（１４ａ）と、

前記メインゲート電極（１１）と前記ドレイン電極（１３）との間に設けられ、前記半導体層（１０）に電界を印加し、前記半導体層（１０）の導電極性を前記第１のサブゲート電極（１４ａ）と同じ極性となるように切換える第２のサブゲート電極（１４ｂ）とを有することを特徴とする薄膜トランジスタ。

【請求項２】　透明電極と複数のスイッチング素子（Ｔｒｎ）夫々に対応した複数の画素電極（２７－ｎ）とで液晶（３２）を挟持し、該スイッチング素子（Ｔｒｎ）に駆動手段（３３，３４）からパルス信号を供給し、該スイッチング素子（Ｔｒｎ）をスイッチング制御して、該複数の画素電極（２７－ｎ）の電位を可変することにより該液晶（３２）の状態を変化させ、各画素電極（２７－ｎ）毎に表示制御を行なう液晶表示装置において、

前記スイッチング素子（Ｔｒｎ）を請求項１記載の薄膜トランジスタで構成し、

該薄膜トランジスタ（Ｔｒｎ）のメインゲート電極（２１）と前記画素電極（２７－ｎ）とを同一基板（２６）上に同一材料で、かつ、同一工程で形成したことを特徴とする液晶表示装置。

【請求項３】　透明電極（３０）と複数のスイッチング素子（Ｔｒｎ）夫々に対応した複数の画素電極（２７－ｎ）とで液晶を挟持し、該スイッチング素子（Ｔｒｎ）に駆動手段（３３，３４）からパルス信号を供給し、該スイッチング素子（Ｔｒｎ）をスイッチング制御して、該複数の画素電極（２７－ｎ）の電位を可変することにより該液晶（３２）の状態を変化させ、表示制御を行なう液晶表示装置において、

前記スイッチング素子（Ｔｒｎ）を請求項１記載の薄膜トランジスタで構成し、前記駆動手段（３３，３４）は薄膜トランジスタのメインゲート電極（２１）にデューティ比５０％で、かつパルス幅が１フレーム分の走査時間に等しく設定されたパルス信号を各トランジスタのオン時間分だけずらせつつ順次供給すると共に該薄膜トランジスタ（Ｔｒｎ）の第１及び第２のサブゲート電極（２３ａ，２３ｂ）には各トランジスタのオン時間分だけ遅れた前記パルス信号を各トランジスタのオン時間分だけずらせつつ、順次供給することを特徴とする液晶表示装置。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】本発明は薄膜トランジスタ及びそれを用いた液晶駆動回路に係り、特に、動作極性を切換えられる薄膜トランジスタ及びそれを用いた液晶表示装置に関する。近年、液晶などの駆動用素子として薄膜トランジスタが注目されている。

【０００２】この薄膜トランジスタには動作極性を切換えて使用できるものがある。

【０００３】この種の薄膜トランジスタではそのドレイン電圧に条件があり、その使用できる範囲が制限され、液晶などへの使用に困難であった。

【０００４】このため、液晶などへの使用が可能となるように使用制限なく、かつ、動作極性を切換えられる薄膜トランジスタが必要とされている。

【０００５】

【従来の技術】図１４は従来の薄膜トランジスタの一例の断面図、図１５は従来の一例の概略構成図、図１６は従来の一例の等価回路を示す。図中、１はメインゲート電極、２はサブゲート電極、３はポリシリコン層、４はソースポリシリコン層、５はドレインポリシリコン層、６はソース電極、７はドレイン電極、８は絶縁体基板を示す。

【０００６】メインゲート電極１はソース－ドレイン間に流れる電流を制御するための電極で、メインゲート電極１に電圧を印加すると静電誘導によってポリシリコン層３にキャリアとなる電荷が誘起される。ポリシリコン層３に誘起された電荷によりソース－ドレイン間に電流が流れる。

【０００７】また、サブゲート電極２はトランジスタの動作モード（Ｐチャネル、Ｎチャネル）を切換えるための電極で、サブゲート電極２に電圧を印加することにより、ポリシリコン層３の一部に電荷が誘起される。トランジスタがオンするときにはポリシリコン層３にメインゲート電極１により誘起される電荷の極性とサブゲート電極２により誘起される電荷の極性とが一致する。また、トランジスタがオフするときには、ポリシリコン層３にメインゲート電極１により誘起される電荷の極性とサブゲート電極２により誘起される電荷の極性とが互いに逆極性となり、ＰＮ接合が形成され、ソース－ドレイン間の電圧の極性に対して逆極性となり、漏れ電流が生じない構成とされていた。

【０００８】図１７は従来の一例の動作を説明するための図を示す。図１７と共にその基本動作について説明する。

【０００９】なお、ソース電極６は接地されているものとし、メインゲート電極１の電圧をＶｇ、サブゲート電極２の電圧をＶｓ、ドレイン電極７の電圧をＶｄとする。

【００１０】Ｎチャネル動作を行なわせる場合、サブゲ

ート電極２の電圧Ｖｓ及びドレイン電極７の電圧Ｖｄを正電圧とする。サブゲート電極２の電圧Ｖｓを正電圧とすると、サブゲート電極２によりポリシリコン層３のサブゲート電極２の下部にｎ層３ａ－１が形成される。

【００１１】この状態でメインゲート電極１の電圧Ｖｇを負電圧とすると、図１７（Ａ）に示すようにメインゲート電極１の下部のポリシリコン層３にはＰ層３ｂ－１が形成されることになる。このため、ポリシリコン層３にはＰＮ接合が形成される。このＰＮ接合はドレイン電極７側にサブゲート電極２、ソース電極６側にメインゲート電極１が配置されているため、ポリシリコン層３のドレイン電極７側にｎ層３ａ－１、ソース電極６側にＰ層３ｂ－１が形成される。

【００１２】したがって、ドレイン電極７からソース電極６方向には逆方向の接合となるため、トランジスタはオフ状態となる。

【００１３】次に、メインゲート電極１の電圧Ｖｇを正電圧とすると図１７（Ｂ）に示すようにその下部のポリシリコン層３にはｎ層３ｂ－２が形成される。

【００１４】このため、ポリシリコン層３には同極性のｎ層３ａ－１，３ｂ－２が形成され、導電性を有するようになるのでドレイン電極７からソース電極６に向っ電流が流れることになる。

【００１５】Ｐチャネル動作を行なわせる場合、サブゲート電極２の電圧Ｖｓ及びドレイン電極７の電圧Ｖｄを負電圧とする。

【００１６】サブゲート電極２の電圧Ｖｓが負電圧となるとサブゲート電極２によりポリシリコン層３のサブゲート電極下部にＰ層３ａ－２が形成される。

【００１７】この状態でメインゲート電極１の電圧Ｖｇを正電圧とすると図１７（Ｃ）に示すようにメインゲート電極１の下部のポリシリコン層３にはｎ層３ｂ－３が形成される。

【００１８】このため、ポリシリコン層３にはソース電極６からドレイン電極７への方向を逆方向とするＰＮ接合が形成され、ソース電極６からドレイン電極７への電流は流れなくなる。つまり、トランジスタがオフ状態となる。

【００１９】次にメインゲート電極１の電圧Ｖｇを負電圧とすると、図１７（Ｄ）に示すようにポリシリコン層３のメインゲート電極１の下部にはＰ層３ｂ－４が形成される。

【００２０】このため、ポリシリコン層３には同極性のＰ層３ｂ－４，３ａ－２が形成され、導電性を有するようになるのでソース電極６からドレイン電極７に向って電流が流れることになる。つまり、トランジスタがオン状態となる。

【００２１】

【発明が解決しようとする課題】しかるに、従来のこの種の薄膜トランジスタではトランジスタを動作させるにはドレイン電極の電圧Ｖｄの極性に注意する必要があった。

【００２２】例えば、従来の薄膜トランジスタを図１７（Ａ），（Ｂ）に示すようにｎチャネル動作させる場合、ドレイン電極７の電圧Ｖｄは正電圧としなければならず、逆に図１７（Ｃ），（Ｄ）に示すようにＰチャネル動作させる場合、ドレイン電極７の電圧Ｖｄは負電圧としなければ、オン時にポリシリコン層３内に形成されるＰＮ接合が順方向となってしまい、オフ時にも電流が流れてしまう。

【００２３】したがって、本トランジスタを液晶駆動回路に適用し、交流動作される液晶に電圧を印加する際のスイッチング素子として用いようとする場合、ドレイン電極７は正にも負にもなるため、このようなトランジスタは適用できなくなってしまうなどの問題点があった。

【００２４】本発明は上記の点に鑑みてなされたもので、液晶などの交流動作する装置のスイッチング素子などとして広範囲に適用できる薄膜トランジスタ及びそれを用いた液晶駆動回路を提供することを目的とする。

【００２５】

【課題を解決するための手段】図１は本発明の原理構成図を示す。同図中、１１はメインゲート電極を示す。

【００２６】メインゲート電極１１は半導体薄膜１０に電界を印加する。半導体薄膜１０は、印加された電界に応じて一端に設けられたソース電極１２と半導体薄膜１０の他端に設けられたドレイン電極１３との間に流れる電流を制御する。

【００２７】第１のサブゲート電極１４ａは、前記メインゲート電極１１と前記ソース電極との間に設けられ、前記半導体薄膜１０に電界を印加し、導電極性を切り換える。

【００２８】第２のサブゲート電極１４ｂは前記メインゲート電極１１と前記ドレイン電極１３との間に設けられ、前記半導体薄膜１０に電界を印加し、導電極性を前記第１のサブゲート電極１４ａと同じ極性となるように切換える。

【００２９】

【作用】図２は本発明の原理説明図、図３は本発明の等価回路図を示す。

【００３０】図２（Ａ）はＮチャネル動作でオフ状態の場合でメインゲート電極に印加される電圧Ｖｇを負、第１及び第２のサブゲート電極Ｖｓをともに正の電圧とする。このとき半導体薄膜内はＮＰＮ接合が形成されドレイン電極、ソース電極いずれの側からみてもＰＮダイオードの逆接合が存在するためドレイン－ソース間電圧の極性に関係なくオフ状態となる。また、図２（Ｂ）はＰチャネル動作でオフ状態の場合であり、メインゲート電極の電圧Ｖｇを正、第１及び第２のサブゲート電極の電圧Ｖｓをともに負の電圧とするこの時半導体薄膜内はＰＮＰ接合が形成され、やはりドレイン電極、ソース電極

いずれの側から見ても逆接合が存在するため、ドレインーソース間電圧極性によらずオフ状態となる。このトランジスタをオンさせる場合は図２（Ａ）のＮチャネル動作ではメインゲート電極の電圧Ｖｇを負から正に変えれば半導体薄膜内はどこもＮ層となり、オン状態となる。図２（Ｂ）のＰチャネル動作ではメインゲート極性の電圧Ｖｇを正から負に変えれば半導体薄膜内はどこもＰ層となりオン状態となる。よってソースードレイン間電圧の極性に関係なくＰチャネル、Ｎチャネルいずれの動作も行うことができる。

【００３１】図３は本発明の等価回路図を示す。メインゲート電極と半導体層の間のゲート容量Ｃ４はサブゲート電極と半導体層の間のゲート容量Ｃ３とＣ５により挟まれている。このようにゲート容量Ｃ４は直接ドレイン電極やソース電極につながっておらずチャネル抵抗Ｒを介している。これによりメインゲート電極のパルス変化時の容量結合によるノイズを低減することができる。

【００３２】

【実施例】図４は本発明の一実施例の構成図を示す。同図中、１５は絶縁体基板を示す。絶縁体基板１５はガラス材等の絶縁体よりなり、この絶縁体基板１５上に薄膜トランジスタが形成される。

【００３３】１６はソース電極で、アルミニウム等の導電体を絶縁体基板１５上に蒸着してなる。１７はドレイン電極でソース電極１６同様アルミニウム等の導電体を絶縁体基板１５上に蒸着してなる。

【００３４】１８はソースポリシリコン層を示す。ソースポリシリコン層１８はＮ型半導体を形成するリン（Ｐ）ドープポリシリコン層１８ａとＰ型半導体を形成するボロン（Ｂ）ドープポリシリコン層１８ｂとを積層してなり、ソース電極１６と接続される。

【００３５】１９はドレインポリシリコン層を示す。ソースポリシリコン層１８と同様な構成で、Ｎ型半導体を形成するリン（Ｐ）ドープポリシリコン層１９ａとＰ型半導体を形成するボロン（Ｂ）ドープポリシリコン層１９ｂとを積層してなり、ドレイン電極１７に接続されている。

【００３６】２０はポリシリコン層を示す。ポリシリコン層２０は図１に示す半導体層１０に対応しており、ＬＰＣＶＤ（減圧ＣＶＤ）により形成されたアモルファスシリコン層を固相結晶成長させて形成された真性半導体よりなる薄膜である。ポリシリコン層２０はソースポリシリコン層１８及びドレインポリシリコン層１９と接続されている。

【００３７】２１はメインゲート電極を示す。メインゲート電極２１はリン（Ｐ）ドープポリシリコンにより形成され、ポリシリコン層２０の略中央部分に酸化シリコン（SiO_2）等よりなる絶縁層２２を介して形成されている。

【００３８】２３ａは図１における第１のサブゲート電極１４ａに対応するサブゲート電極、２３ｂは図１における第２のサブゲート電極１４ｂに対応するサブゲート電極を示す。サブゲート電極２３ａ，２３ｂはアルミニウム等の導電材よりなる。

【００３９】サブゲート電極２３ａはソース電極１６とメインゲート電極２１との間のポリシリコン層２０上部酸化シリコン（SiO_2）等よりなる絶縁層２２，２４を介して配設されている。また、サブゲート電極２３ｂはドレイン電極１７とメインゲート電極２１との間のポリシリコン層２０上部に絶縁層２２，２４を介して配設されている。

【００４０】サブゲート電極２３ａとサブゲート電極２３ｂとは通常互いに接続されており、同じ電圧が印加される。なお、サブゲート電極２３ａとサブゲート電極２３ｂには電気的に独立に電圧を印加しても良い。

【００４１】ソース電極１６、ドレイン電極１７、メインゲート電極２１、にはコンタクト部２５が形成され、コンタクト部２５より外部との配線が行なわれる。

【００４２】図５，図６は本発明の一実施例の動作を説明するための図、図７は本発明の一実施例の特性図を示す。

【００４３】図５（Ａ），（Ｂ）はＮチャネル動作をさせる場合の等価回路図で、サブゲート電極２３ａ，２３ｂには電圧Ｖｓ＝＋２０〔Ｖ〕が印加される。

【００４４】さらに、図５（Ａ）ではドレイン電極１７に電圧Ｖｄ＝＋１０〔Ｖ〕が印加されている。

【００４５】図５（Ａ）に示すような状態で、メインゲート電極２１の電圧Ｖｇを可変してみると、図６（Ａ）に示すようにポリシリコン層２０のサブゲート電極２３ａ，２３ｂの下部ではｎ層２６ａ，２６ｂが形成される。

【００４６】また、電圧Ｖｇに応じてポリシリコン層２０のメインゲート電極２１下部の領域２７ではｎ層又はｐ層が形成される。

【００４７】電圧Ｖｇが正のときにはポリシリコン層２０のメインゲート電極２１下部の領域２７ではｎ層が形成されるため、ポリシリコン層２０はすべてｎ層で結合され、ドレイン電極１７からソース電極１６に電流が流れることになる。つまり、オン状態となる。

【００４８】また、電圧Ｖｇが負のときにはポリシリコン層２０のメインゲート電極２１下部の領域２７ではｐ層が形成されるため、ポリシリコン層２０にはｎｐｎ接合が形成される。このため、ドレイン電極１７からソース電極１６間にＰＮ逆接合が生じることになるため、電流はカットされる。つまり、オフ状態となる。このときの電圧Ｖｇに対するドレイン電流Ｉｄの特性を図７（Ａ）に実線で示す。

【００４９】図５（Ｂ）ではドレイン電極１７に電圧Ｖｄ＝－１０〔Ｖ〕が印加されている。

【００５０】図５（Ｂ）に示す状態でメインゲート電極

２１の電圧Ｖｇを可変してみると、電圧Ｖｇが正のときはポリシリコン層２１はｎ層で結合され、オンし、ソース電極１６からドレイン電極１７に電流が流れる。電圧Ｖｇが負になるとポリシリコン層２０はＮＰＮ接合を形成するため、オフとなる。このようにドレイン電極２１の電圧Ｖｄを逆にしても電圧Ｖｄが正のときと同様にＰＮ逆接合が形成されるため、トランジスタは確実にオフする。このときの電圧Ｖｇに対するドレイン電流Ｉｄの特性を図７（Ａ）に破線で示す。

【００５１】図５（Ｃ），（Ｄ）はＰチャネル動作させる場合の等価回路図で、サブゲート電極２３ａ，２３ｂには電圧Ｖｓ＝－２０〔Ｖ〕が印加される。

【００５２】図５（Ｃ）ではドレイン電極１７に電圧Ｖｄ＝＋１０〔Ｖ〕が印加される。

【００５３】このため、図６（Ｂ）に示すようにポリシリコン層２０のサブゲート電極２３ａ，２３ｂ下部ではｐ層２８ａ，２８ｂが形成され、メインゲート電極２１下部の領域２７はメインゲート電極２１に印加される電圧Ｖｇに応じてｎ又はｐ層が形成される。

【００５４】電圧Ｖｇが正のときはポリシリコン層２０のメインゲート電極２１下部の領域２７にはｎ層が形成され、ポリシリコン層２０にはｐｎｐ接合が形成されることになる。このため，ドレイン電極１７からソース電極１６間にＰＮＰ逆接合が生じることになるため、電流はカットされ、オフ状態となる。

【００５５】また、電圧Ｖｇが負のときはポリシリコン層２０メインゲート電極２１下部の領域２７にはｐ層が形成され、ポリシリコン層２０全領域にわたってｐ層が形成されるため、ポリシリコン層２０は導通状態となる。このため、ドレイン電極１７からソース電極１６に電流が流れる。つまり、オン状態となる。このときの電圧Ｖｇに対する電流Ｉｄの特性を図７（Ｂ）に実線で示す。

【００５６】次に、図５（Ｄ）に示すようにドレイン電極１７に電圧Ｖｄ＝－１０〔Ｖ〕を印加してみる。

【００５７】図５（Ｄ）に示す状態でメインゲート電極２１に印加される電圧Ｖｇを可変すると、電圧Ｖｇが負のときには上述したようにポリシリコン層２０のメインゲート電極２１下部領域２７にはｐ層が形成されるため、ポリシリコン層２０全体がｐ層で結合され、導通状態となり、ソース電極１６からドレイン電極１７に電流が流れる。つまりオン状態となる。

【００５８】また、電圧Ｖｇが正のときはポリシリコン層２０のメインゲート電極２１下部の領域２７にはｎ層が形成されるため、ポリシリコン層２０にはＰＮＰ接合が形成される。

【００５９】このため、ソース電極１６からドレイン電極１７に向ってＰＮ逆接合が形成されることになり、電流はカットされ、オフ状態となる。このときの電圧Ｖｇに対する電流Ｉｄの特性を図７（Ｂ）に破線で示す。

【００６０】このように、Ｎチャネル及びＰチャネル動作いずれの場合でも、メインゲート電極２１にオフとなるような電圧Ｖｇを印加すれば、ポリシリコン層２０内にはＰＮＰ又はＮＰＮ接合が形成されるため、ドレイン電極１７からソース電極１６又はソース電極１６からドレイン電極１７のいずれの方向に対してもＰＮ逆接合を形成できる。

【００６１】このため、オフ時にはドレイン電極１７の電圧条件によらず、確実に電流をカット、つまり、オフできる。

【００６２】図８は本発明の液晶表示装置の構成図を示す。同図中、Ｔｒｎは薄膜トランジスタを示す。薄膜トランジスタＴｒｎはガラス基板２６上に画素電極２７ｎ、ドレインバス２８、ゲートバス２９と共に複数個形成される。

【００６３】ガラス基板２６の薄膜トランジスタＴｒｎ形成面に対向して透明電極３０が形成されたガラス板３１が配置される。

【００６４】ガラス板３１とガラス基板２６との間に液晶３２が配置され、透明電極３０と画素電極２７－ｎとの間に電圧を印加することにより液晶３２の状態を変化させ表示を行なう。

【００６５】このとき、薄膜トランジスタＴｒｎをスイッチング制御することにより画素電極２７－ｎの電位を可変して、表示の制御を行なう。

【００６６】図９は本発明の液晶表示装置の要部の構成図を示す。同図中、図４と同一構成部分には同一符号を付しその説明は省略する。

【００６７】本実施例ではソース電極１７を画素電極２７－ｎとし、メインゲート電極は画素電極２７－ｎに用いるＩＴＯ（Ｉｎｄｉｕｍ－Ｔｉｎ－Ｏｘｉｄｅ）と共に同一の工程で形成している。このため、メインゲート電極２１形成時のリンドープポリシリコンの工程を省略することができる。

【００６８】図１０は本発明の液晶表示装置の等価回路図を示す。

【００６９】３列分について駆動波形および等価回路を示す。薄膜トランジスタＴｒ２について説明する。薄膜トランジスタＴｒ２のメインゲート電極２１には駆動手段である駆動パルスｃが加わりサブゲート電極２３ａ，２３ｂには駆動パルスｄが加わる。薄膜トランジスタＴｒｎはメインゲート電極２１とサブゲート電極２３ａ，２３ｂがともに正（ハイレベル）かともに負（ローレベル）の時にオン状態になる。よって薄膜トランジスタＴｒ２は図１１に示すタイミングd_2でオンする。以下薄膜トランジスタＴｒ１，Ｔｒ３についても図１１に示す駆動パルスａ～ｆにより駆動され、オン状態となるタイミングがd_1，d_3に示すようにずれていく。本駆動方式ではメインゲート電極２１及びサブゲート電極２３ａ，２３ｂに供給されるパルス信号ａ～ｆにより薄膜ト

ランジスタＴｒｎを順次スイッチング制御することができるため、いずれの駆動パルスａ～ｆはハイレベル電圧（正）の時間とローレベル電圧（負）の時間がまったく等しく、かつ、薄膜トランジスタＴｒｎのオン時間d_1だけずれたパルスである。薄膜トランジスタでは正または負の電圧のみを加えた状態では経時変化が生じ信頼性に問題があるため本駆動方式のように正負両電圧を印加することにより改善されることが期待できる。またオン時間d_1だけ順次ずらせていくことにより駆動パルスのハイレベル又はローレベルの時間を１フレーム時間に等しい１０ｍｓ～２０ｍｓぐらいで構成できる。通常の駆動パルスはパルス幅が数十μｓのオーダなのでこれに比べ非常に時間的に長いパルスのみ準備すればよい。

【００７０】図１２は本発明の液晶表示装置の他の実施例の等価回路図を示す。その概略構造は図８で説明したものと同一であるため、ここでは説明を省略する。同図中、Ｔｒ４～Ｔｒ７は薄膜トランジスタで、図９で説明した薄膜トランジスタと同じ構成であるため、その説明は省略する。

【００７１】薄膜トランジスタＴｒ４のメインゲート電極２１と薄膜トランジスタＴｒ５のサブゲート電極２３ａ，２３ｂが接続され以下同じように隣同士のメインゲート電極２１とサブゲート電極２３ａ，２３ｂが接続された構成とされている。これにより駆動パルスは１画素につき１パルス必要となる。これは通常のメインゲート１本の薄膜トランジスタを使った場合と必要なパルス数は同じとなるよう構成されている。各トランジスタＴｒｎがオンするタイミングは、Ａｎでは駆動パルスｇ，ｈともハイレベルなので薄膜トランジスタＴｒ４はオン状態となり、画素電極２７－ａにドレイン電極１７のデータが供給される。この時薄膜トランジスタＴｒ４はサブゲート電極２３ａ，２３ｂ及びメインゲート電極２１が共にハイレベルなのでＮチャネルモードでのオン状態である。タイミングＡｐにおいては駆動パルスｇ，ｈ共にローレベルなのでやはり薄膜トランジスタＴｒ４はオンする。この時はサブゲート電極２３ａ，２３ｂ、メインゲート電極２１ともローレベルなのでＰチャネルモードでのオン状態である。このように各々のトランジスタについてメインゲート電極２１、サブゲート電極２３ａ，２３ｂの両方の電圧がハイレベルまたはローレベルのときそのトランジスタはオンする。図１３タイミングｄ－１～ｄ－３において示すようにオン状態となるトランジスタが順次推移していくと共に各トランジスタの動作モードがＮチャネルモード、Ｐチャネルモード交互に切り換わっている。

【００７２】例えば、トランジスタＴｒ４ではＡｎ（Ｎチャネル）→Ａｐ（Ｐチャネル）→Ａｎ（Ｎチャネル）→…。トランジスタＴｒ５ではＢｐ（Ｐチャネルモード）→Ｂｎ（Ｎチャネル）→Ｂｐ（Ｐチャネル）→…、となっている。

【００７３】このような構成とすることにより本実施例では薄膜トランジスタのＰチャネル、Ｎチャネルモード間の特性が対称でない場合の特性の差による画質の低下をさけることができる。すなわちＮチャネルモードのままで全ラインにデータを書き込んで次にＰチャネルモードのままで同じくデータを書き込んだ場合のＮチャネルモードとＰチャネルモードとの特性差による画質の差を時間的に短くすることによりその特性差が人間の目にはわかりにくくすることを狙ったものである。また、各駆動パルスは前の列のパルスに対し（たとえば駆動パルスｈは駆動パルスｇに対し）半周期＋アドレス時間分だけおくれたタイミングとなっている。

【００７４】

【発明の効果】上述の如く、本発明によれば、メインゲート電極の両側部にサブゲート電極が設けられているため、サブゲート電極に印加する電圧の正負を切換えることによりトランジスタの動作極性を切換えることができると共にトランジスタのオフ時に半導体層に逆方向のＰＮ接合が発生し、ドレイン電圧の極性に関係なく、オフ時の漏れ電流の小さな薄膜トランジスタを実現できる。また、このような薄膜トランジスタを用いることにより駆動パルス信号の正（Ｈ）、負（Ｌ）の両方のレベルでスイッチング制御を行なうことができるため、駆動パルス信号波形を簡単にでき、駆動回路を簡略化できる等の特長を有する。

【図面の簡単な説明】

【図１】本発明の薄膜トランジスタの原理構成図である。

【図２】本発明の薄膜トランジスタの原理説明図である。

【図３】本発明の薄膜トランジスタの等価回路図である。

【図４】本発明の一実施例の構成図である。

【図５】本発明の一実施例の動作を説明するための図である。

【図６】本発明の一実施例の動作を説明するための図である。

【図７】本発明の薄膜トランジスタの一実施例の特性図である。

【図８】本発明の液晶表示装置の一実施例の構成図である。

【図９】本発明の液晶表示装置の一実施例の要部の構成図である。

【図１０】本発明の液晶表示装置の一実施例の等価回路図である。

【図１１】本発明の液晶表示装置の一実施例の動作を説明するための図である。

【図１２】本発明の液晶表示装置の他の実施例の等価回路図である。

【図１３】本発明の液晶表示装置の他の実施例の動作を

説明するための図である。

【図１４】従来の一例の断面図である。

【図１５】従来の一例の構成図である。

【図１６】従来の一例の等価回路図である。

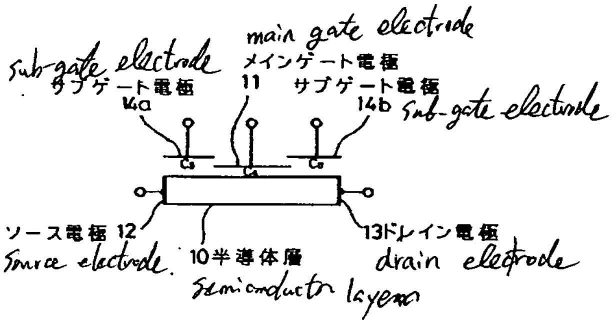
【図１７】従来の一例の動作を説明するための図である。

【符号の説明】

１０　半導体層
１１　メインゲート電極
１２　ソース電極
１３　ドレイン電極
１４ａ　第１のサブゲート電極
１４ｂ　第２のサブゲート電極

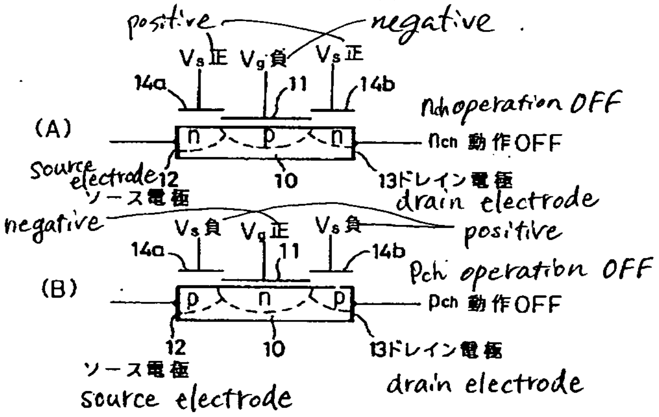
【図１】

本発明の原理構成図



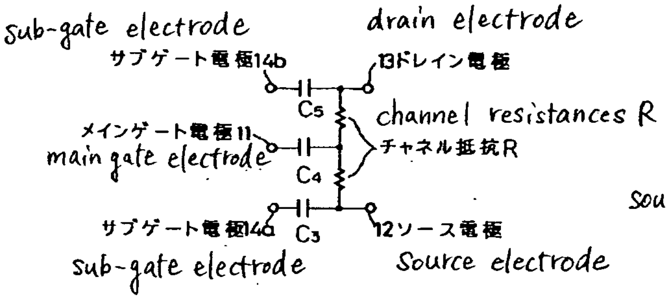
【図２】

本発明の原理説明図



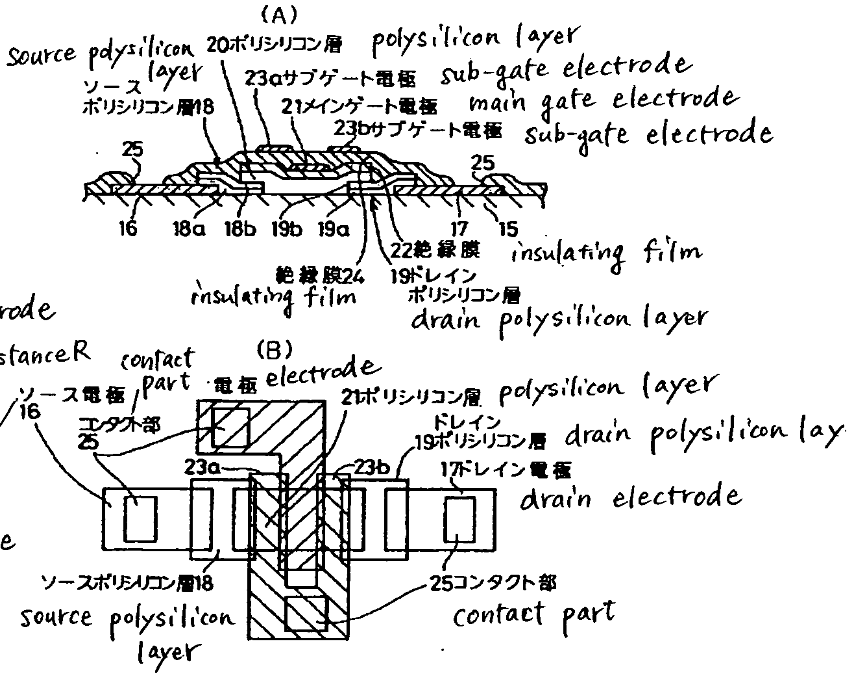
【図３】

本発明の等価回路図



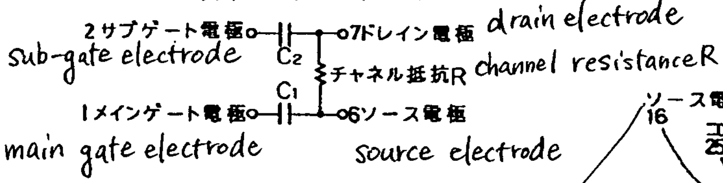
【図４】

本発明の一実施例の構成図



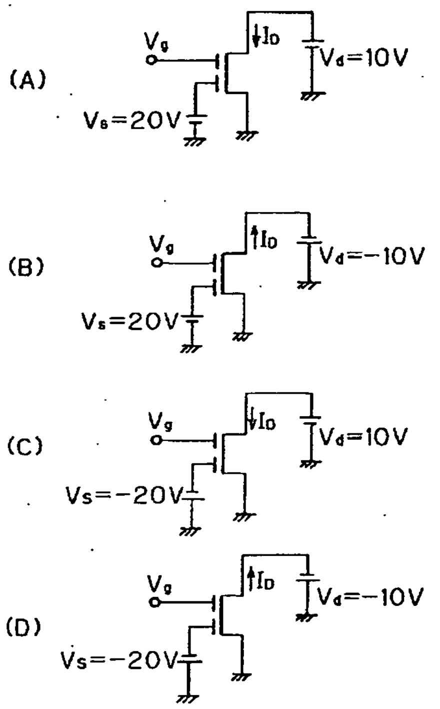
【図１６】

従来の一例の等価回路



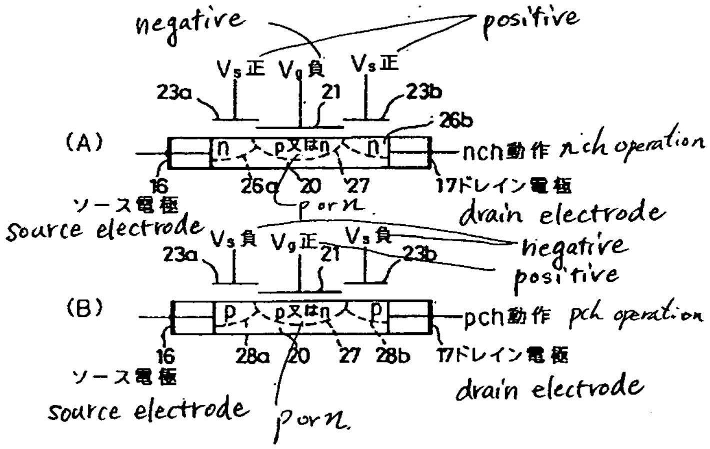
【図５】

本発明の一実施例の動作を説明するための図



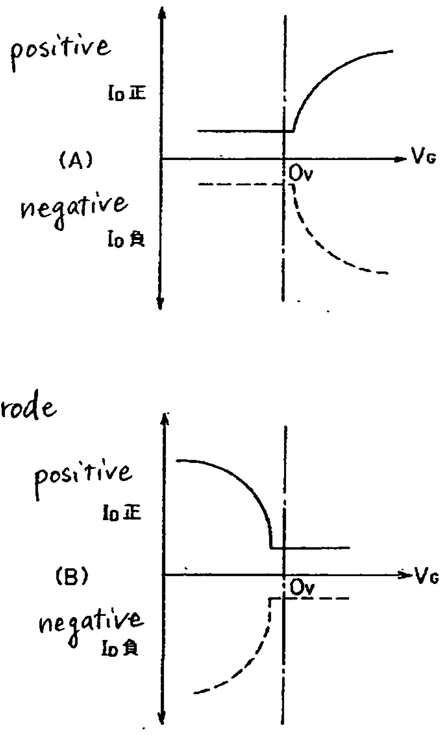
【図６】

本発明の一実施例の動作を説明するための図



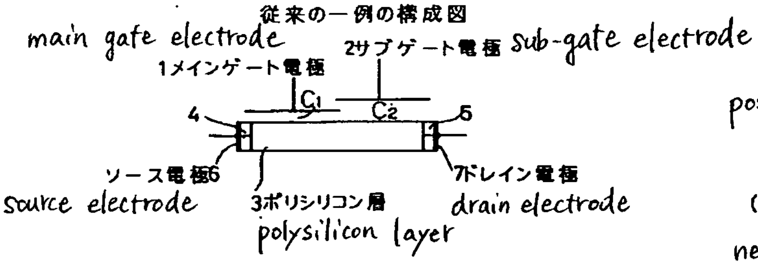
【図７】

本発明の一実施例の特性図



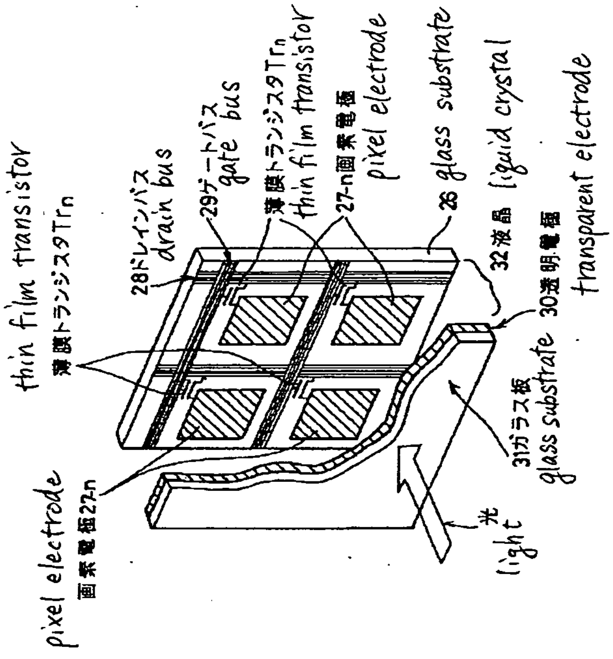
【図１５】

従来の一例の構成図



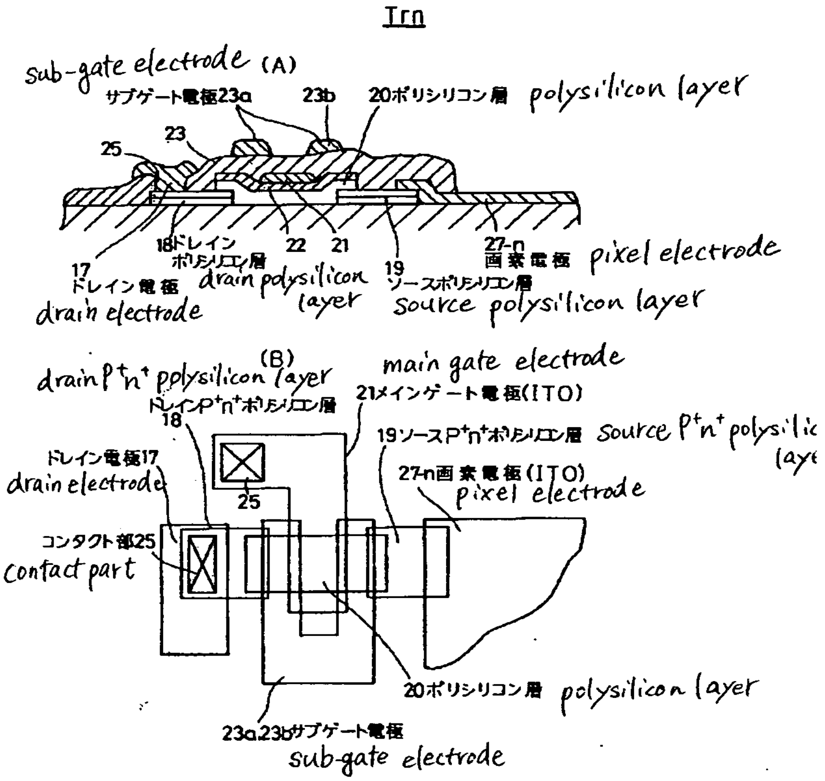
【図８】

本発明の液晶表示装置の一実施例の構成図



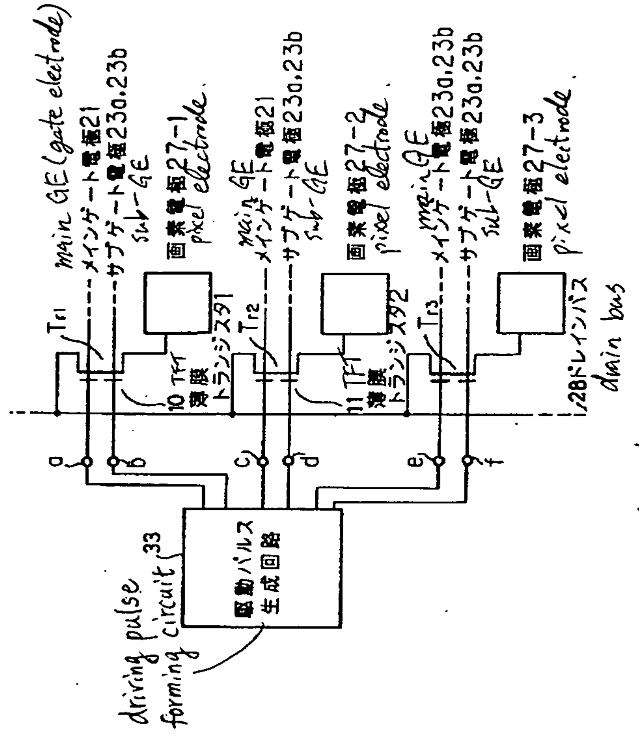
【図９】

本発明の一実施例の液晶表示装置の要部の構成図



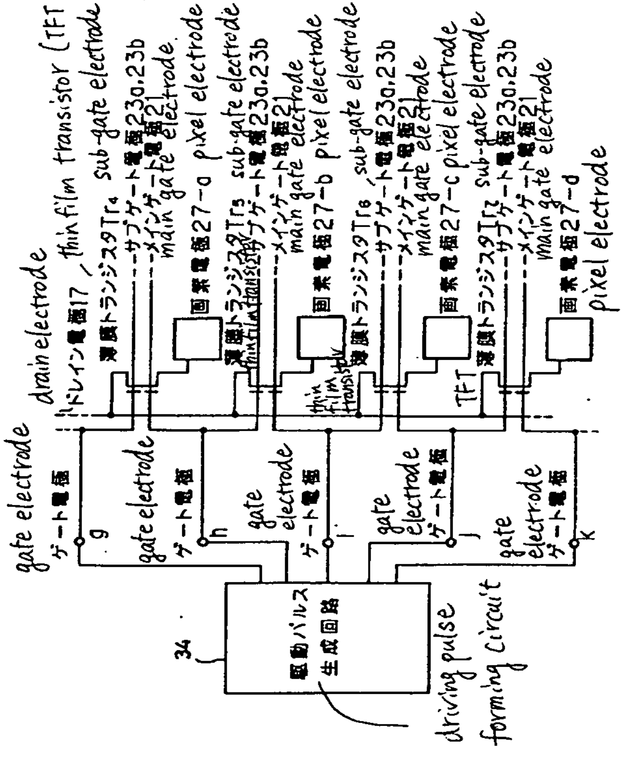
【図１０】

本発明の液晶表示装置の一実施例の等価回路図



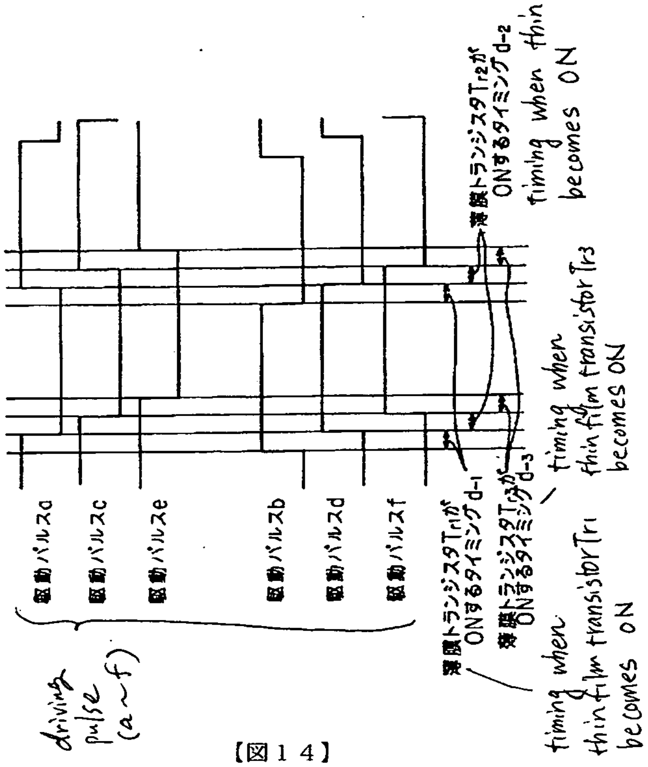
【図１２】

本発明の液晶表示装置の他の実施例の等価回路図



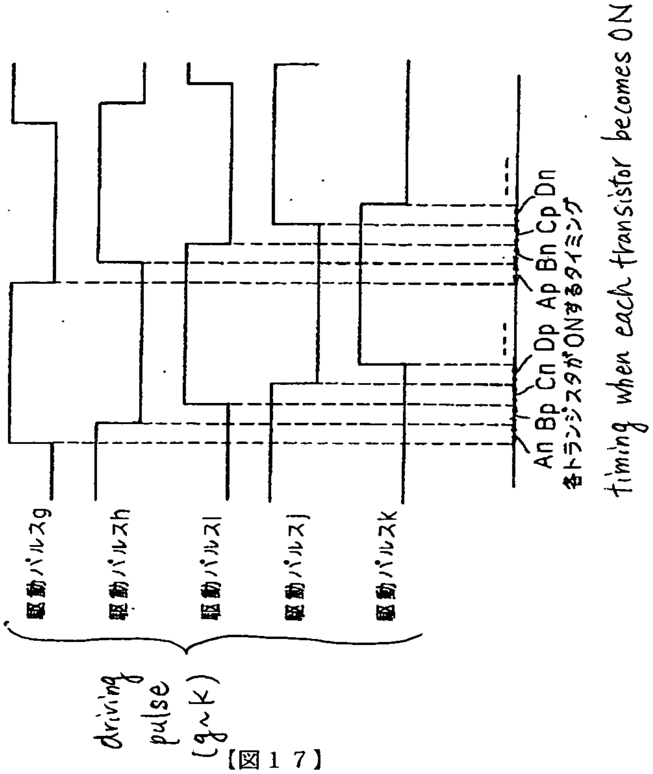
【図１１】

本発明の液晶表示装置の一実施例の動作を説明するための図


timing when thin film transistor Tr2 becomes ON
薄膜トランジスタTr2がONするタイミングd-2
timing when thin film transistor Tr3 becomes ON
薄膜トランジスタTr1がONするタイミングd-1
薄膜トランジスタTr3がONするタイミングd-3
timing when thin film transistor Tr1 becomes ON
駆動パルスa
駆動パルスc
駆動パルスe
駆動パルスb
駆動パルスd
駆動パルスf
driving pulse (a~f)

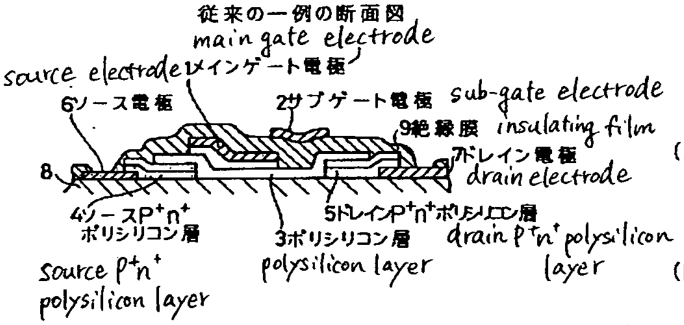
【図１３】

本発明の液晶表示装置の他の実施例の動作を説明するための図



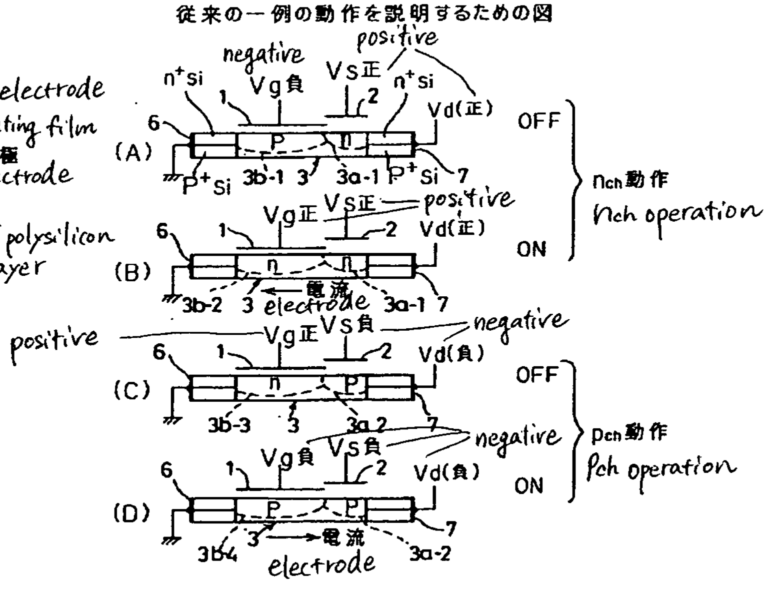
【図１４】

従来の一例の断面図



【図１７】

従来の一例の動作を説明するための図



フロントページの続き

(51)Int.Cl.^{5}		識別記号	庁内整理番号	ＦＩ	技術表示箇所
Ｇ０９Ｆ	9/30	３３８	6447－5Ｇ		
Ｇ０９Ｇ	3/36		7319－5Ｇ		

(72)発明者　大形　公士
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者　沖　賢一
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内